

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-165272

(43)Date of publication of application : 16.06.2000

(51)Int.Cl. H04B 1/16
H04B 7/08
H04B 7/26

(21)Application number : 10-337171

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 27.11.1998

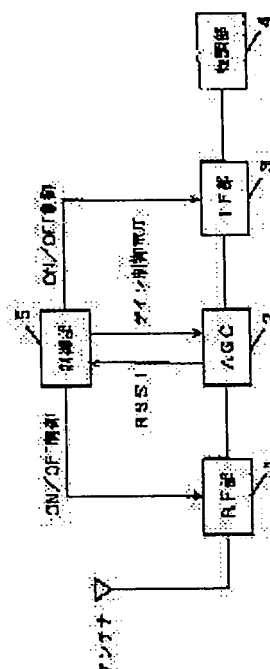
(72)Inventor : YONESU TOSHINORI

(54) RADIO BASE STATION UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a radio base station unit whose power consumption can be reduced in a synchronization detection system requiring an AGC circuit or a system where diversity reception is conducted through a configuration of a plurality of branches.

SOLUTION: A reception signal is given to an RF section 1, which amplifies the signal and where the frequency is converted into an IF frequency. An AGC circuit 2 amplifies signals with various levels at various gains and provide an output of a resulting signal with a prescribed output level. A gain control voltage of the AGC at that time can be decided by giving an RSSI signal detected by the AGC to a control section 5 depending on the level. The gain control voltage is controlled so that the gain of the AGC is smaller when the RSSI level is higher and the gain of the AGC is higher when the RSSI level is smaller. The gain control voltage is stored in the control section 5 and it is outputted as a gain control voltage of the AGC of a reception slot of a succeeding frame.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-165272

(P 2 0 0 0 - 1 6 5 2 7 2 A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H04B 1/16		H04B 1/16	R 5K059
			U 5K061
7/08		7/08	D 5K067
7/26		7/26	D
			M
審査請求 未請求 請求項の数5 O L (全7頁)			

(21)出願番号 特願平10-337171

(22)出願日 平成10年11月27日(1998.11.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 米須 利徳

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5K059 CC03 DD31

5K061 AA02 CC52 EF01

5K067 AA43 BB21 CC21 CC24 EE10

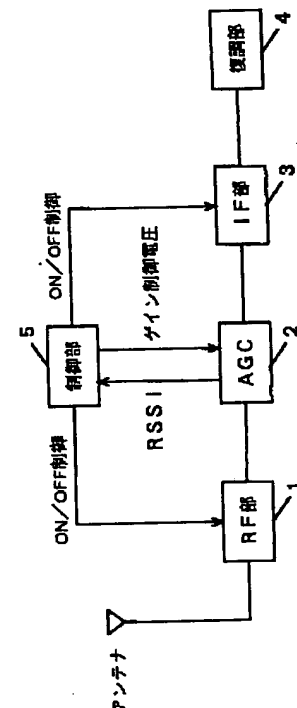
KK05

(54)【発明の名称】無線基地局装置

(57)【要約】

【課題】 AGC回路を必要とする同期検波システムや複数のブランチによる構成でダイバーシチ受信を行うシステムにおいて低消費電力化を図れる無線基地局装置を提供することを目的とする。

【解決手段】 受信信号はRF部1に入力され、信号を増幅し、又IF周波数まで周波数変換される。AGC2ではさまざまなレベルの信号をさまざまなゲインで増幅し、一定の出力レベルで出力する。その時のAGCのゲインは、AGCで検出されるRSSI信号が制御部5に入力されそのレベルによりゲイン制御電圧が決定される。ゲイン制御電圧はRSSIレベルが大きければAGCのゲインは小さくなるように制御され、RSSIレベルが小さければAGCのゲインは大きくなるように制御される。そのゲイン制御電圧は制御部5に記憶され、次のフレームの受信スロットのAGCのゲイン制御電圧として出力されることになる。



【特許請求の範囲】

【請求項 1】 TDMA、TDD 通信に用いる AGC を含む受信系回路において、AGC ループの電源は常に ON 状態にし、AGC ループの立ち上がりに影響しないその他の回路の電源は ON、OFF することで消費電力の削減を行い、AGC のゲインを決めるゲイン制御電圧は、受信するスロットの前のゲイン制御電圧を与え AGC の立ち上がりを早くすることを特徴とする無線基地局装置。

【請求項 2】 AGC までの回路の電源は常に ON にし、AGC 以降の回路の電源を ON、OFF することで低消費電力化を行うことを特徴とする請求項 1 記載の無線基地局装置。

【請求項 3】 入力部をアンプを通るパスとアッテネータを通るパスに分け、RSSI レベルによりアンプを通るかアッテネータを通るかの判定を行い、アッテネータを通るときはアンプの電源を OFF にして低消費電力化を図ることを特徴とする請求項 1 記載の無線基地局装置。

【請求項 4】 ICNT のシステムで、且つ複数系統の受信系回路を持つシステムであり、空きチャンネルが各系統の受信系回路で発生すれば、それぞれの空きチャンネルを集め 1 系統分の受信系回路が全て空き状態になれば受信系回路の電源を OFF にして残りの受信系回路で受信を行い、ダイバーシチ合成等を行い、低消費電力化を図ることを特徴とする請求項 1 記載の無線基地局装置。

【請求項 5】 複数ブランチでダイバーシチ受信を行う回路で、RSSI レベルが高ければ、RSSI レベルの高い方からある数のブランチを選択しダイバーシチ合成を行い、その時は残りのブランチの受信系回路の電源は OFF にすることで低消費電力化を行うことを特徴とする無線基地局装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は TDMA、TDD システムにおける移動局と無線通信を行う無線基地局装置に関するものである。

【0002】

【従来の技術】 PHS 等の TDMA (Time Division Multiple Access)、TDD (Time Division Duplex) システムでは受信時には送信側の電源を OFF にし、送信時には受信側の電源を OFF にして通信を行うことで消費電力の削減を行ってきた。

【0003】 上記の技術は、PHS 端末等の遅延検波を行うシステムで主に採用されてきたが、基地局等で受信感度を必要とする同期検波を採用しているシステムでは AGC (自動利得制御回路) を必要とするために採用されていない。TDMA システムでの AGC は高速な立ち上がり、立ち下がり特性が要求されるため、電源の ON、OFF を行うとその特性が満足されないことになる

からである。

【0004】 例えば、AGC を含む受信回路全体の電源を常に ON にした状態であっても AGC が定常状態になるには数十 μ sec 程度の時間がかかる。もし、送信時には受信側の電源を OFF、受信時には送信側の電源を OFF というように制御したならば、受信時に AGC が定常状態に落ち着くまでにはかなりの時間がかかることになり、ユニークワード等の判定ができなくなる可能性がでてくる。よって、同期検波のシステムで AGC を必要とする場合は常に AGC を含む受信回路全体の電源を ON にして制御するのが従来のパターンである。

【0005】 PHS 基地局では受信感度を向上させるため複数のダイバーシチブランチのある受信システムが用いられている。このシステムでは複数のアンテナと複数の RF 受信回路、複数の復調回路部が必要となる。上記の構成により、信号をダイバーシチ合成することで受信感度を向上させることができた。しかし、回路規模、消費電力が共に大きくなってしまいうというデメリットがあった。

【0006】

【発明が解決しようとする課題】 近年では基地局装置においても小型化、小スペース化が要求されているため、消費電力の削減は必須である。しかし、高感度を必要とするシステムでは同期検波回路および AGC (自動利得制御回路) 回路が必要となり、回路規模が増大する傾向である。また、PHS 特有のフェージング対策のため、複数のブランチによる構成でダイバーシチ受信を行うが、これも複数のアンテナ及び受信系が必要となるため、回路規模、消費電力の増大は免れない。

【0007】 本発明は上記従来の問題を解決するために AGC 回路を必要とする同期検波システムや複数のブランチによる構成でダイバーシチ受信を行うシステムにおいて低消費電力化を行う無線基地局装置を提供することを目的としている。

【0008】

【課題を解決するための手段】 本発明は、TDMA、TDD 通信に用いる AGC を含む受信系回路において、AGC ループの電源は常に ON 状態にし、AGC ループの立ち上がりに影響しないその他の回路の電源は ON、OFF することで消費電力の削減を行い、AGC のゲインを決めるゲイン制御電圧は、受信するスロットの前のゲイン制御電圧を与え AGC の立ち上がりを早くする。

【0009】 この構成により、AGC 回路を必要とする同期検波システムや複数のブランチによる構成でダイバーシチ受信を行うシステムにおいて低消費電力化を行う無線基地局装置を実現できる。

【0010】

【発明の実施の形態】 請求項 1 に記載の発明は、TDM A、TDD 通信に用いる AGC を含む受信系回路において、AGC ループの電源は常に ON 状態にし、AGC ル

ープの立ち上がりに影響しないその他の回路の電源は ON、OFF することで消費電力の削減を行い、AGC のゲインを決めるゲイン制御電圧は、受信するスロットの前のゲイン制御電圧を与え AGC の立ち上がりを早くする。

【0011】請求項 2 に記載の発明は、AGC までの回路の電源は常に ON にし、AGC より後段の回路の電源を ON、OFF する。

【0012】請求項 3 に記載の発明は、入力部をアンプを通るパスとアッテネータを通るパスにわけ、RSSI レベルによりアンプを通るかアッテネータを通るかの判定を行い、アッテネータを通るときはアンプの電源を OFF にして低消費電力化を図る。

【0013】請求項 4 に記載の発明は、1CnT (制御チャンネル 1 スロット、通話チャンネル n スロット) のシステムで、且つ複数系統の受信系回路を持つシステムであり、空きチャンネルが各系統の受信系回路で発生すれば、それぞれの空きチャンネルを集め 1 系統分の受信系回路が全て空き状態になれば電源を OFF にして、残りの受信系回路で受信を行い、ダイバーシチ合成等を行い、低消費電力化を図る。

【0014】請求項 5 に記載の発明は、複数ブランチでダイバーシチ受信を行う回路で、RSSI レベルが高ければ、RSSI レベルの高い方からある数のブランチを選択しダイバーシチ合成を行い、その時は残りのブランチの受信系回路の電源は OFF にする。

【0015】上記構成の各発明によれば、低消費電力化を図ることができる。

(実施の形態 1) 図 1 は本発明の実施の形態 1 における無線基地局装置のブロック図、図 2 は同 AGC 制御信号のタイミングチャートである。図 1 において、1 はアンテナで受信した信号を増幅し、IF 周波数まで周波数変換を行う RF 部、2 はあらゆるレベルの信号を増幅し出力レベルは一定レベルで出力する AGC (自動利得制御回路)、3 は AGC 出力を増幅し、さらにベースバンドまで周波数変換をおこなう IF 部、4 は搬送波に乗った変調信号を同期検波方式で復調する復調部、5 は AGC 2 からの RSSI 信号により、ゲイン制御電圧を決め、次のフレームの AGC ゲイン制御電圧を返し、又 RF 部 1、IF 部 3 の電源を ON、OFF 制御する制御部である。

【0016】図 2 に AGC に関する各種制御電圧のタイミングチャートの一例を示す。この場合、受信スロットは 4 スロット、送信スロットは 4 スロットの TDMA システムを仮定する。又、受信信号は 1 番目のスロットにのみ入力されているものとする。ON/OFF 制御信号は受信スロット時は電源電圧が ON し、送信スロット時には電源電圧が OFF するように制御される。更なる低消費電力化を図るために、受信時に受信スロット 4 スロット全てを ON するのではなく、本当に受信しているス

ロットのみを ON することも可能である。RSSI 信号はここでは第 1 スロットにのみ信号が入力されているため、各フレームの第 1 スロット分だけの RSSI 信号が制御部 5 に入力される。制御部 5 に入力された RSSI 信号から次のフレームの AGC ゲイン制御電圧を決定する。そして、次のフレームでは前のフレームの制御部 4 で記憶されたゲイン制御電圧により AGC ゲインを制御することになる。

【0017】以上のように構成された無線基地局装置について、以下にその動作を説明する。受信信号は RF 部 1 に入力され、信号を増幅し、又 IF 周波数まで周波数変換される。AGC 2 ではさまざまなレベルの信号をさまざまなゲインで増幅し、一定の出力レベルで出力する。その時の AGC 2 のゲインは、AGC 2 で検出される RSSI 信号が制御部 5 に入力されそのレベルによりゲイン制御電圧が決定される。ゲイン制御電圧は RSSI レベルが大きければ AGC 2 のゲインは小さくなるように制御され、RSSI レベルが小さければ AGC 2 のゲインは大きくなるように制御される。そのゲイン制御電圧は制御部 5 に記憶され、次のフレームの受信スロットの AGC 2 のゲイン制御電圧として出力されることになる。

【0018】受信時には、RF 部 1 と IF 部 3 が電源 ON で、送信時には RF 部 1 と IF 部 3 が電源 OFF に制御部 5 から制御される。AGC 2 及び復調部 4、制御部 5 は常に電源 ON である。復調部の構成次第で ON/OFF しさらに低消費電力化することも可能である。IF 部 3 は AGC 2 の出力信号を増幅し、ベースバンド周波数まで周波数変換をおこなう。復調部 4 は IF 部 3 の出力信号を同期検波方式で復調する。上記の構成により、RF 部 1 と IF 部 3 の電源をスイッチングすることで、低消費電力化が行え、前のフレームのゲイン制御電圧を使うことで AGC 2 の立ち上がりを遅らすことなく、通信を行うことができる。

【0019】(実施の形態 2) 図 3 は本発明の実施の形態 2 における無線基地局装置のブロック図である。図 3 において、1 はアンテナで受信した信号を増幅し、IF 周波数まで周波数変換を行う RF 部、2 A はあらゆるレベルの信号を増幅し出力レベルは一定レベルで出力する AGC (自動利得制御回路)、3 は AGC 出力を増幅し、さらにベースバンドまで周波数変換をおこなう IF 部、4 は搬送波に乗った変調信号を同期検波方式で復調する復調部、5 A は IF 部の電源を ON、OFF 制御する制御部である。

【0020】以上のように構成された無線基地局装置について、以下にその動作を説明する。受信信号は RF 部 1 に入力され、信号を増幅し、又 IF 周波数まで周波数変換される。AGC 2 A ではさまざまなレベルの信号をさまざまなゲインで増幅し、一定の出力レベルで出力する。その時の AGC 2 A のゲインは、AGC 2 A 内で A

GC2Aに入力された信号の信号レベル検波を行いゲインを決定する。ここでは入力信号が入力されたスロット内でAGC2Aが立ち上がる。ゲインはAGC2Aへの入力信号レベルが大きければゲインは小さくなるように制御され、ゲインへの入力信号レベルが小さければゲインは大きくなるように制御される(制御部5Aとはやり取りを行わず、AGC2Aのみでゲイン制御電圧が決定される。))。

【0021】受信時には、IF部3が電源ONで、送信時にはIF部3が電源OFFに制御部5Aから制御される。RF部1、AGC2A及び復調部4、制御部5Aは常に電源ONである。復調部の構成次第でON/OFFしさらに低消費電力化することも可能である。IF部3はAGC2の出力信号を増幅し、ベースバンド周波数まで周波数変換をおこなう。復調部4はIF部3の出力信号を同期検波方式で復調する。上記の構成により、IF部3の電源をスイッチングすることで、低消費電力化が行える。

【0022】(実施の形態3)図4は本発明の実施の形態3における無線基地局装置のブロック図である。図4において、8はアンテナで受信した信号を高周波増幅回路10が減衰器11に切り替える第1のSW部(切り替え部)、9は高周波増幅回路10か減衰器11に切り替える第2のSW部(切り替え部)、10はアンテナから入力された微小信号を増幅する高周波増幅回路、11はアンテナから入力された高入力信号を減衰させる減衰器、12は入力された信号を増幅し、IF周波数に周波数変換する高周波増幅回路&ダウコンバーターであり、上記全てRF部とする。

【0023】2Bはあらゆるレベルの信号を増幅し出力レベルは一定レベルで出力するAGC(自動利得制御回路)、5BはAGC2BからのRSSIにより第1のSW部8と第2のSW部9の切り替え制御を行い、高周波増幅回路10のON/OFF制御を行う制御部である。

【0024】以上のように構成された無線基地局装置について、以下にその動作を説明する。最初は、受信信号は高周波増幅回路10のパスを通るように制御部から制御される。高周波増幅回路10の出力は高周波増幅回路&ダウコンバーター12を通りIF周波数まで周波数変換される。そして、AGC2Bで一定レベルに増幅される。AGC2BもAGC2Aと同じく、AGC2Bのゲインは、AGC2B内でAGC2Bに入力された信号の信号レベル検波を行いゲインを決定する。ここでは入力信号が入力されたスロット内でAGC2Bが立ち上がる。ゲインはAGC2Bへの入力信号レベルが大きければゲインは小さくなるように制御され、AGC2Bへの入力信号レベルが小さければゲインは大きくなるように制御される(制御部5BにはRSSIを渡すが、AGC2Bのみでゲイン制御電圧が決定される。)。AGC2BではRSSI信号を制御部5Bの返し、RSSIレベ

ルが制御部で設定されるしきい値より大きければ減衰器11のパスを通るように、RSSIレベルが制御部で設定されるしきい値より小さければ高周波増幅回路10のパスを通るように第1のSW部8と第2のSW部9が制御される。

【0025】ここで、RSSIレベルが制御部で設定されるしきい値より大きければアンテナから入力される信号は減衰器11のパスを通り、その間の高周波増幅回路10の電源がOFFになるように制御される。上記の制御を行うことで、高入力時には高周波増幅回路10の消費電力を削減することができ、低消費電力化が行える。

【0026】(実施の形態4)図5は本発明の実施の形態4におけるスロット制御の一例を示すブロック図であって、受信4スロット、送信4スロットのTDMAシステムにおけるスロット使用構成を示すブロック図である。本例では1個の無線基地局装置で2個の周波数(チャンネル)を使用し、Aチャンネルで1C3T(1個の制御チャンネルと3個の通話チャンネル)を使用でき、Bチャンネルでは4T(4個の通話チャンネル)が利用できるシステム例を示す。Aチャンネルで送受信各々4スロットずつあるが、Aチャンネルで少なくとも一つの受信回路が必要となる。また同じく、Bチャンネルでも少なくとも一つの受信回路が必要になる。図5(a)にスロット構成を制御する前の状態の一例を示す。また図5(b)にスロット構成を制御した後の一例を示す。

【0027】図5(a)のAチャンネルでは受信第1スロットに移動局からの制御チャンネル(Cch)を受信し、受信の第2スロットでは移動局からの通話チャンネル(Tch)を受信している状態を示す。残りの受信第2、第3スロットは空きスロット状態である。送信第1スロットは制御チャンネルを送信し、送信第2スロットは通話チャンネルを送信しており、送信第3、第4スロットは空きスロットである。Bチャンネルでは受信第1スロットのみ通話チャンネルを受信状態であるが、残りの第2、第3、第4スロットは空き状態である。

【0028】送信も第1スロットのみ通話チャンネルを送信状態であるが、残りの第2、第3、第4スロットは空き状態である。上記のスロット使用状況ではA、Bの両方のチャンネルを使用しなければならず、又、少なくとも2個以上受信回路が必要となる(Achで1系統以上の受信系回路、Bchで1系統以上の受信系回路を持つのが通常のケースである。))。

【0029】図5(a)のようなスロット使用状況から、図5(b)のようにどちらか一方のチャンネルに使用スロットをまとめる方法をとれば、使用するチャンネル数も削減でき、又、使用する受信回路の電源もOFFにして低消費電力化を図ることができる。

【0030】図5(b)は図5(a)のBチャンネルの受信第1スロットの信号をAチャンネルの受信第3スロットに移動させ、又、Bチャンネルの送信第1スロット

の信号をAチャンネルの送信第3スロットに移動させる。そうすることで、Aチャンネルは受信第1、第2、第3スロットが使用状態で、受信第4スロットのみが空きスロットとなる。送信も第1、第2、第3スロットが使用状態で、送信第4スロットのみが空きスロットとなる。Bチャンネルは全てが空きとなり、チャンネル使用数が減り、Bチャンネルで受信していた受信回路の電源をOFFすることで、低消費電力化が行える。上記構成により、チャンネル数の削減および低消費電力化が行えることになる。

【0031】(実施の形態5) 図6は本発明の実施の形態5における無線基地局装置のブロック図であって、AGCを含む同期検波システムの無線基地局装置の構成を示している。ブランチ数としてはnブランチの構成でも当てはまるが、図6に示すようにここでは4ブランチのダイバーシチ構成の場合について考える。図6において、1はアンテナで受信した信号を増幅し、IF周波数まで周波数変換を行うRF部、2Cはあらゆるレベルの信号を増幅し出力レベルは一定レベルで出力するAGC(自動利得制御回路)、3はAGC出力を増幅し、さら

にベースバンドまで周波数変換をおこなうIF部、4は搬送波に乗った変調信号を同期検波方式で復調する復調部、5CはAGC2CからのRSSIレベルにより各ブランチの電源をON/OFF制御する制御部であり、各ブランチ全体の電源をON/OFFする。13はダイバーシチ合成部である。

【0032】以上のように構成された無線基地局装置について、以下にその動作を説明する。受信信号はRF部1に入力され、信号を増幅し、又IF周波数まで周波数変換される。AGC2Cではさまざまなレベルの信号をさまざまなゲインで増幅し、一定の出力レベルで出力する。その時のAGC2Cのゲインは、AGC2C内で信号レベル検波を行いゲインを決定する。ゲインはAGC2Cへの入力信号レベルが大きければゲインは小さくなるように制御され、AGC2Cへの入力信号レベルが小さければゲインは大きくなるように制御される(制御部5CにはRSSIを渡すが、AGC2Cのみでゲイン制御電圧が決定される。)。IF部3はAGC2の出力信号を増幅し、ベースバンド周波数まで周波数変換をおこなう。復調部4は搬送波に乗った変調信号を同期検波方式で復調する。

【0033】ダイバーシチ合成部13は各ブランチの復調部4の出力信号を適切な位相で足しあわせて、信号を合成し、SN比の向上した信号を作る。又、AGC2CからはRSSIを制御部5Cにわたす。そこで、各ブランチのRSSIレベルを比較し、制御部に記憶されているしきい値より大きければ、RSSIレベルの大きなブランチの信号をnブランチで受信し、ダイバーシチ合成を行う。nは各ブランチのRSSIレベルにより決定される。ダイバーシチ合成に用いない(4-n)ブランチ

は、ブランチ全体の電源をOFFにして低消費電力化を図る(ここでは4ブランチのダイバーシチを仮定しているので)。上記方法により、高入力時にダイバーシチブランチの数を減らし、ブランチ内の回路の電源をOFFすることで低消費電力化が行える。

【0034】

【発明の効果】本発明は、AGC及びそのループ周辺回路の電源は常にON状態としAGCループに関係無い回路ではON、OFFしスイッチングを行い、その時にAGCより前段の回路をON、OFFすることで多少AGCの立ち上がりは遅くなるが、前のスロットのAGCのゲイン制御電圧を次のスロットのAGCのゲイン制御電圧として与えることでAGCの立ち上がりを早くすることができ、低消費電力化が行える。

【0035】又、AGCより後段のみの回路の電源をON/OFFすることで、AGCの立ち上がりには関係なく消費電力を削減することができ、またRF部で信号が通らないパスの電源をOFFにすることで低消費電力化が行える。又、使用されているスロットをまとめて、全てが空きスロットのみになればその受信系の電源をOFFすることで低消費電力化が行える。又、複数のブランチで受信するダイバーシチブランチを有するシステムにおいて、RSSIレベルが高いときはダイバーシチブランチの数を減らし受信を行い、使用しないブランチの電源をOFFすることで低消費電力化が行える。

【図面の簡単な説明】

【図1】本発明の実施の形態1における無線基地局装置のブロック図

【図2】本発明の実施の形態1におけるAGC制御信号のタイミングチャート

【図3】本発明の実施の形態2における無線基地局装置のブロック図

【図4】本発明の実施の形態3における無線基地局装置のブロック図

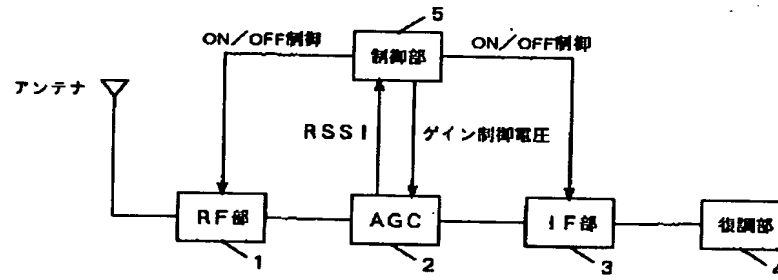
【図5】本発明の実施の形態4におけるスロット制御の一例を示すブロック図

【図6】本発明の実施の形態5における無線基地局装置のブロック図

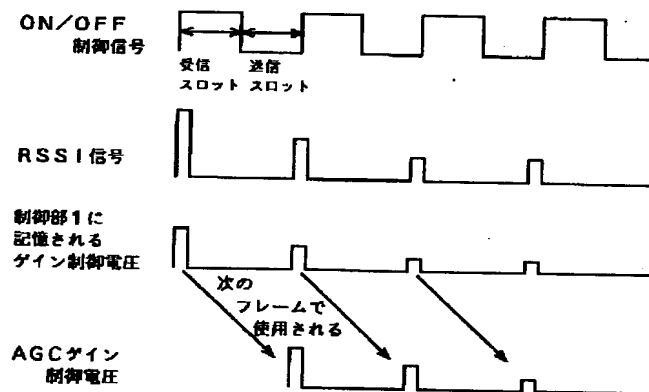
【符号の説明】

- 1 RF部
- 2, 2A, 2B, 2C AGC
- 3 IF部
- 4 復調部
- 5, 5A, 5B, 5C 制御部
- 8 第1のSW部
- 9 第2のSW部
- 10 高周波増幅回路
- 11 減衰器
- 12 高周波増幅回路&ダウコンバーター
- 13 ダイバーシチ合成部

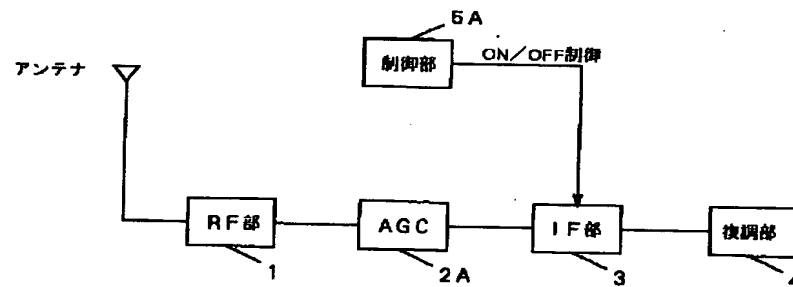
【図1】



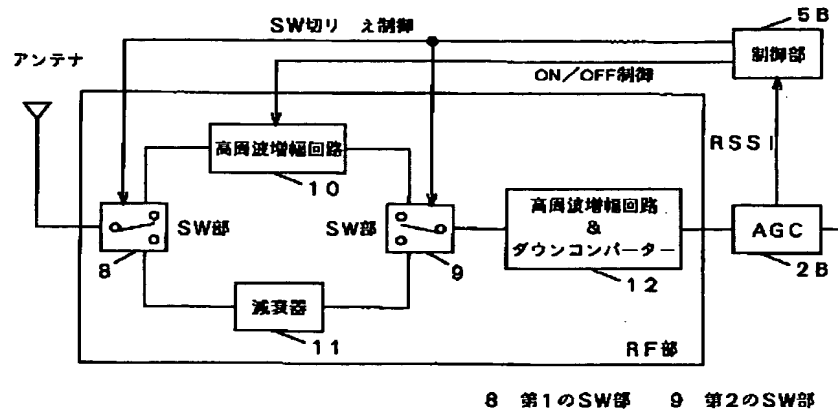
【図2】



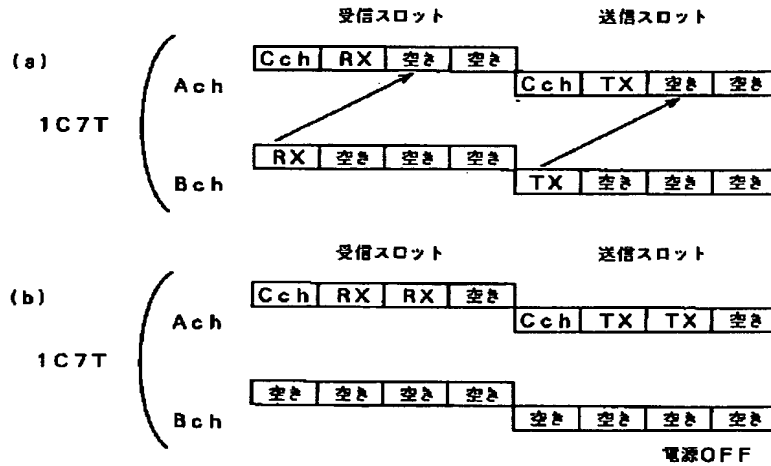
【図3】



【図4】



【図5】



【図6】

